

CLIPPEDIMAGE= JP02000137060A  
PAT-NO: JP02000137060A  
DOCUMENT-IDENTIFIER: JP 2000137060 A  
TITLE: GATE ARRAY TESTING METHOD

PUBN-DATE: May 16, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
FUNAKI, MASANORI	N/A
NAKANISHI, SATORU	
MONJUJI, HIROAKI	N/A
	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
VICTOR CO OF JAPAN LTD	N/A

APPL-NO: JP10326005  
APPL-DATE: October 30, 1998

INT-CL (IPC): G01R031/317; G01R031/26 ; G01R031/28 ;  
H01L021/82 ; H01L027/118

ABSTRACT:

PROBLEM TO BE SOLVED: To test reliability for a gate array using many transistors as much as possible, pursuant to a method close to an LSI operation.

SOLUTION: A large scale ring oscillator 2 is formed on a gate array master chip 1 using a large majority of transistors out of all the transistors in a gate array, and the ring oscillator 2 is self-oscillated to detect its generated frequency. Metal layers 3, 4 for constituting the large scale ring oscillator 2 are wired to be near to the gate array, and the gate array master chip 1 is set in a package of the gate array to be tested.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-137060

(P2000-137060A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G 0 1 R 31/317		G 0 1 R 31/28	A 2 G 0 0 3
	31/26	31/26	G 2 G 0 3 2
	31/28	31/28	V 5 F 0 6 4
H 0 1 L 21/82		H 0 1 L 21/82	T
	27/118		M
審査請求 未請求 請求項の数 5 F D (全 5 頁)			

(21) 出願番号 特願平10-326005

(22) 出願日 平成10年10月30日 (1998.10.30)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 舟木 正紀

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 中西 覚

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100093067

弁理士 二瓶 正敏

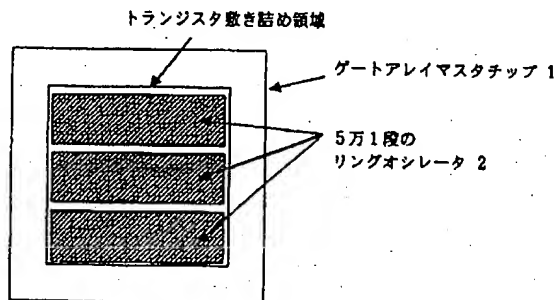
最終頁に続く

(54) 【発明の名称】 ゲートアレイ試験方法

(57) 【要約】

【課題】 L S I 動作に近い方法で、できるだけ多くのトランジスタを使用してゲートアレイの信頼性を試験する。

【解決手段】 ゲートアレイマスタチップ1上にゲートアレイの全てのトランジスタの大多数を使って大規模リングオシレータ2を形成し、大規模リングオシレータ2を自己発振させて、その発振周波数を検出する。また、大規模リングオシレータ2を構成するメタル層3、4をゲートアレイと近くなるように配線し、また、ゲートアレイマスタチップ1をゲートアレイのパッケージ5にセットして試験を行う。



## 【特許請求の範囲】

【請求項1】 ゲートアレイのマスタチップ上に、前記ゲートアレイの全てのトランジスタの大多数を使ってリングオシレータを形成するステップと、前記リングオシレータを自己発振させて、その発振周波数を検出するステップとを、有するゲートアレイ試験方法。

【請求項2】 前記リングオシレータは、前記ゲートアレイ上の全てのトランジスタの90%以上により構成されていることを特徴とする請求項1記載のゲートアレイ試験方法。

【請求項3】 大規模の前記リングオシレータを構成するメタル層は、前記ゲートアレイの配線と略同等になるように配線されていることを特徴とする請求項1又は2記載のゲートアレイ試験方法。

【請求項4】 前記マスタチップを前記ゲートアレイのパッケージにセットして試験を行うことを特徴とする請求項1ないし3のいずれか1つに記載のゲートアレイ試験方法。

【請求項5】 前記リングオシレータに対して自己発振するように一定電圧の電力を供給し、その消費電流を検出することを特徴とする請求項1ないし4のいずれか1つに記載のゲートアレイ試験方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ゲートアレイの信頼性を試験するためのゲートアレイ試験方法に関する。

## 【0002】

【従来の技術】LSIの信頼性を保証することは重要な課題であり、各種の手法や装置が開発されている。例えば高温で通電する方法や、クロックを与える交流動作試験や、通常用いる電圧より高い電圧を印加する方法や、特開平8-293532号公報や信学技法TECHNICAL REPORT OF IEICE, R96-24(1996-11)「リングオシレータを用いたACホットキャリア寿命の検討」などが知られている。

## 【0003】

【発明が解決しようとする課題】このような中で、ゲートアレイと呼ばれる種類のLSIの信頼性試験を行う場合、カスタムLSIやスタンダードセルLSIにはない問題がある。すなわち、カスタムLSIやスタンダードLSIではチップ上のトランジスタには無駄がなく、全てのトランジスタが使用される。これに対して、ゲートアレイは規格化された単位セル（基本セル）を一面に敷き詰めたマスタチップをあらかじめ作成し、配線のみを変更することにより特定の機能を実現するので、どのトランジスタが実際に使用されるかわからず、このためゲートアレイの信頼性を保証するには全てのトランジスタの信頼性を検討しなければならない。しかしながら、トランジスタの数が膨大であるので全てのトランジスタを

チェックすることは困難である。

【0004】そこで通常は、幾つかの代表的なトランジスタを選択して信頼性を試験し、そのトランジスタの信頼性が確保されれば、残りは規格化された同じトランジスタであるという理由により信頼性が確保されているものと判断する方法が採用されている。この方法としては具体的には、例えば最も信頼性が厳しいバイアスにトランジスタを固定して電流を流し続ける方法や、小規模なリングオシレータを作って交流動作を調べる方法が知られている。しかしながら、このようなトランジスタは通常、マスタスライスのトランジスタではなく、別にモニタとして製造したものを使用するので、被試験LSIを直接使用する場合より試験精度は落ちる。

【0005】他の方法として、実際に何らかのLSIをゲートアレイで製造し、他のLSIと同様な試験を行って信頼性を判断する方法が知られている。しかしながら、この方法では、ゲートアレイLSIのチップ上に形成されたトランジスタの内、ごく一部しか用いないので、ゲートアレイLSIのある機種種の信頼性が確保されていることを確認したとしても、使用されるトランジスタが異なる他の機種種の信頼性が確保されたことにはならないという問題点がある。

【0006】本発明は上記従来例の問題点に鑑み、LSI動作に近い方法で、できるだけ多くのトランジスタを使用してゲートアレイの信頼性を試験することができるゲートアレイ試験方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明は上記目的を達成するために、配線が行われる前のゲートアレイのマスタチップ上にゲートアレイの全てのトランジスタの大多数を使ってリングオシレータを形成するようにしたものである。すなわち本発明によれば、ゲートアレイのマスタチップ上に、前記ゲートアレイの全てのトランジスタの大多数を使ってリングオシレータを形成するステップと、前記リングオシレータを自己発振させて、その発振周波数を検出するステップとを、有するゲートアレイ試験方法が提供される。

## 【0008】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1は本発明に係るゲートアレイ試験方法の一実施形態に使用されるゲートアレイマスタチップを示す構成図、図2は図1のリングオシレータの配線構造を示す側面断面図、図3は図1のゲートアレイマスタチップが収容されるパッケージを示す説明図、図4は本発明に係るゲートアレイ試験装置を示す構成図、図5は図1のゲートアレイマスタチップの発振周波数の経時変化を示すグラフ、図6は図1のゲートアレイマスタチップの消費電流の経時変化を示すグラフである。

【0009】図1は配線が行われる前のゲートアレイマスタチップ1を示し、ゲートアレイマスタチップ1には

一例として、150100個のゲートが形成されている。そして、このマスタスライスのゲートアレイマスタチップ1の上に3つのNAND型リングオシレータ2が形成され、このリングオシレータ2の各々には自己発振可能な奇数段として50001段のNANDゲートが形成されている。したがって、このリングオシレータ2のトランジスタ数はゲートアレイマスタチップ1上のほぼ全て(99.9%以上)となる。

【0010】なお、全てのゲートにより1つのリングオシレータ2を形成しない理由は、本実施形態の試験対象が15万ゲート程度のゲートアレイのうち5万個程度使用しているので、実際のLSIと同じ規模にするためである。本発明によれば、少なくとも1000段以上の複数の大規模リングオシレータが形成されたゲートアレイに適用することができる。この場合、リングオシレータの段数は実際のゲートアレイに近いトランジスタ数で構成することが望ましく、また、ゲートアレイマスタチップ1全体の90%以上のトランジスタ数を使用することが望ましい。

【0011】また、ゲートアレイマスタチップ1には所望のゲートアレイとして製造されるまでの段階として、全く配線が行われなければならないのではなく、実際のゲートアレイと近い条件にするために、図2に示すようにNANDゲートを構成する複数の金属層(図の第1、第2金属層3、4)が接続されている。

【0012】さらに、このゲートアレイマスタチップ1は実際の製品に近くなるように、図3に示すようにパッケージ5内にダイボンディング、ワイヤボンディングされて封止される。そして、パッケージ5内に封止されたゲートアレイマスタチップ1は、図4に示すように恒温槽6内にセットされて、リングオシレータ2の各々が自己発振するように電源装置7及び制御装置8により一定電圧の電力が供給される。また、電源装置7及び制御装置8により供給電力の消費電流が検出されるとともに、リングオシレータ2の発振周波数が測定装置(周波数カウンタ)9により検出される。この試験方法としては、例えば電子デバイス用の信頼性試験規格である「MIL-STD-883C」に基づいて120°Cの環境下で6Vの電圧が印加される。これによりリングオシレータ2が外部からクロックを印加されることなく自己発振するので、発振周波数の劣化と消費電流の増加を検出することができる。

【0013】図5は10個のゲートアレイマスタチップ

1(=30個のリングオシレータ2)を用いて、2000時間を経過中の発振周波数変化であって、●印が平均値を示し、□印が最小値を示し、△印(図では黒色の△)が最大値を示している。図5に示すように2000H後平均では2.87%劣化し、劣化の最大値では3.7%劣化した。したがって、発振周波数の劣化率の許容度が5%の場合、この方法によりゲートアレイマスタチップ1の信頼性を試験することができ、ひいてはゲートアレイ自体の信頼性を試験することができる。また、図6は電源装置7及び制御装置8により検出された消費電流の経時変化を示している。

【0014】

【発明の効果】以上説明したように本発明によれば、配線が行われる前のゲートアレイのマスタチップ上に、前記ゲートアレイの全てのトランジスタの大多数を使ってリングオシレータを形成して試験を行うようにしたので、LSI動作に近い方法で、できるだけ多くのトランジスタを使用してゲートアレイの信頼性を試験することができる。

【図面の簡単な説明】

【図1】本発明に係るゲートアレイ試験方法の一実施形態に使用されるゲートアレイマスタチップを示す構成図である。

【図2】図1のリングオシレータの配線構造を示す側面断面図である。

【図3】図1のゲートアレイマスタチップが収容されるパッケージを示す説明図である。

【図4】本発明に係るゲートアレイ試験装置を示す構成図である。

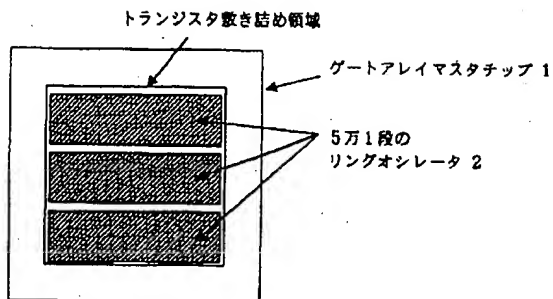
【図5】図1のゲートアレイマスタチップの発振周波数の経時変化を示すグラフである。

【図6】図1のゲートアレイマスタチップの消費電流の経時変化を示すグラフである。

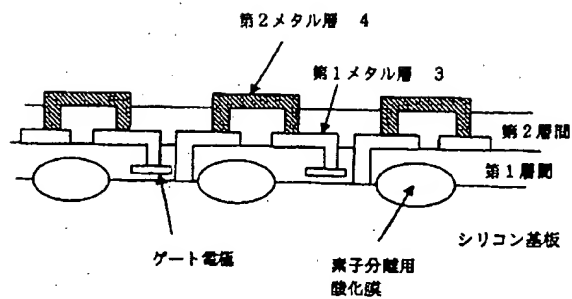
【符号の説明】

- 1 ゲートアレイマスタチップ
- 2 リングオシレータ
- 3, 4 メタル層
- 5 パッケージ
- 6 恒温槽
- 7 電源装置
- 8 制御装置
- 9 測定装置(周波数カウンタ)

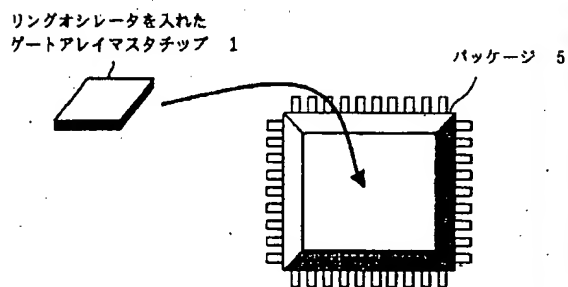
【図1】



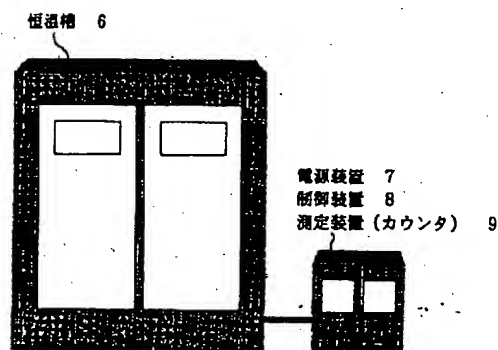
【図2】



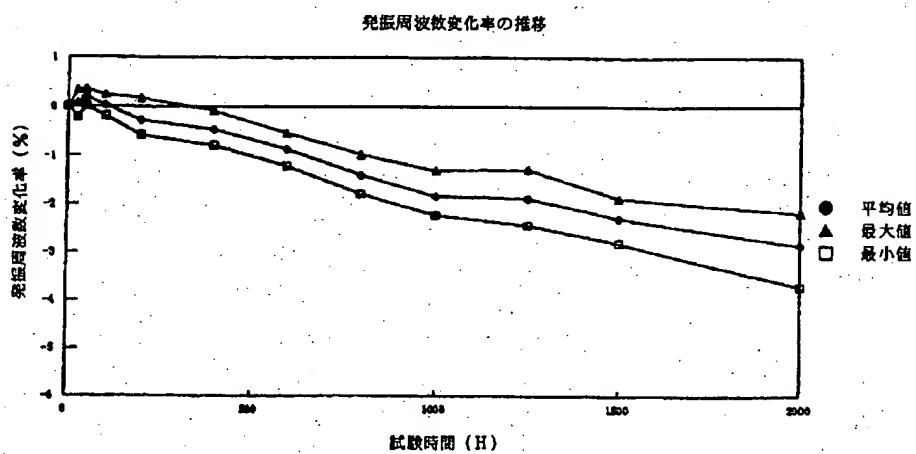
【図3】



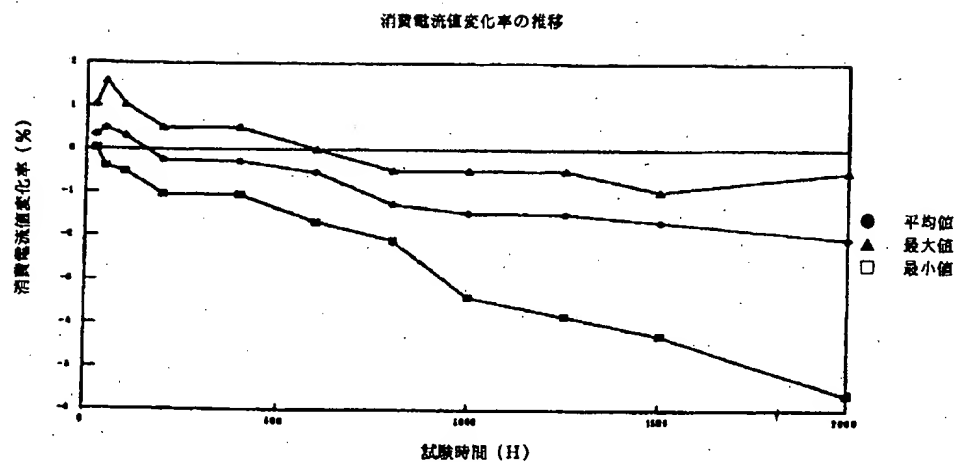
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 文珠寺 弘明

神奈川県横浜市神奈川区守屋町3丁目12番

地 日本ビクター株式会社内

Fターム(参考) 2G003 AA07 AB00 AB02 AD02 AH05

AH10

2G032 AA02 AB03 AD04 AE14

5F064 AA03 BB31 CC09 EE22